

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-077493

(43)Date of publication of application : 18.03.1994

(51)Int.CI.

H01L 29/788

H01L 29/792

(21)Application number : 04-228470

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.08.1992

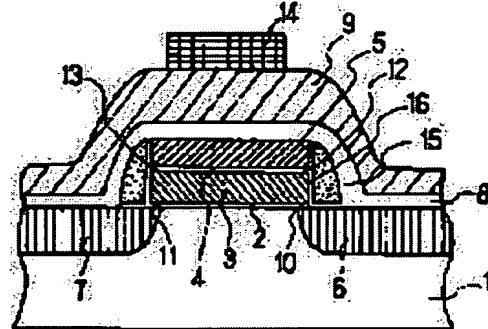
(72)Inventor : KONO HIROAKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To enhance the erasure efficiency of the title device by a method wherein the sidewall of a gate electrode under an interlayer thermal oxide film and the side end part of the gate electrode of a source-drain are covered with a film for oxidation prevention.

CONSTITUTION: A nitride film 15 is formed under an interlayer thermal oxide film 8 in such a way that sidewalls of a floating gate electrode 3 and a control gate electrode 5 and side-end parts of the floating gate electrode 3 of a drain impurity-diffused layer 6 and a source impurity-diffused layer 7 on both sides are covered. Even when a heat treatment is executed in the reflow of an interlayer insulating film 9, an oxidizing agent is not passed through the nitride film 15. As a result, a semiconductor substrate 1, the end parts of the drain impurity-diffused layer 6 and the source impurity-diffused layer 7 of the floating gate electrode 3 and the end parts of the drain impurity-diffused layer 6 and the source impurity-diffused layer 7 of the control gate electrode 5 are not oxidized. As a result, since gate bird's beak oxide films 10, 11 and interpolated bird's beaks 12, 13 do not become thick, the erasure efficiency of the title device can be made good.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-77493

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl.
H 01 L 29/788
29/792

機別記号 施内整理番号

F.I.

技術表示箇所

H 01 L 29/78 371

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号 特願平4-228470

(22)出願日 平成4年(1992)8月27日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 河野 博明

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

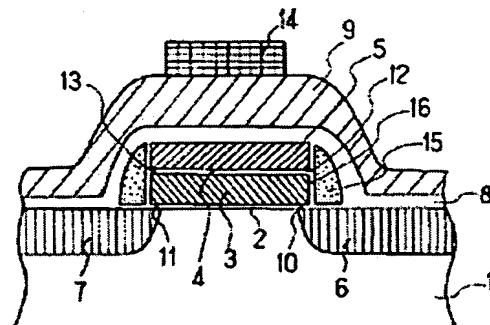
(74)代理人 弁理士 會我 道照 (外6名)

(54)【発明の名称】半導体装置及びその製造方法

(57)【要約】

【構成】浮遊ゲート電極3及び制御ゲート電極5の側壁及びドレイン不純物拡散層6及びソース不純物拡散層7の浮遊ゲート電極3側端部を被うように層間熱酸化膜8下に酸化剤を通さない変化膜15を設ける。

【効果】層間熱酸化膜上に形成される層間绝缘膜の平坦化のための熱処理によるリフロー時に、ゲート電極の側壁及びソース及びドレインのゲート電極側端部が酸化されないので、ソース及びドレインのゲート電極側端部のゲート・バース・ピーグが厚くならないため、良好な特性と高い信頼性が得られる。



- 3 : 浮遊ゲート電極
5 : 制御ゲート電極
6 : ドレイン不純物拡散層
7 : ソース不純物拡散層
8 : 層間熱酸化膜
15 : 変化膜

【特許請求の範囲】

【請求項 1】 ゲート電極ヒソース及びドレイン上を積み層間熱硬化膜を有する半導体装置において、上記層間熱硬化膜下にあって上記ゲート電極の側壁と上記ソース及び上記ドレインの上記ゲート電極側端部を硬化剤を通して形成したことを特徴とする半導体装置。

【請求項 2】 ゲート電極とソース及びドレイン上に硬化剤を通して形成した後エッチングを行うことによって上記ゲート電極の側壁と上記ソース及び上記ドレインの上記ゲート電極側端部に上記硬化防止用膜の一部を残設させ、その後上記ゲート電極と上記ソース及び上記ドレインと上記残設させた硬化防止用膜上に層間熱硬化膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、ソースヒドレインを有するMOS型半導体装置に関し、特にソースヒドレイン近傍にゲートバースピークを有するMOS型半導体装置に関する。

【0002】

【従来の技術】 図3は、例えば従来の不揮発性メモリ半導体装置であるEEPROMを示す断面図である。同図において、1は半導体基板、2は第一ゲート酸化膜、3は浮遊ゲート電極、4はインターポリ绝缘膜、5は制御ゲート電極、6はドレイン不純物拡散層、7はソース不純物拡散層、8は層間熱硬化膜、9は層間绝缘膜、10はドレイン側ゲート・バース・ピーク酸化膜、11はソース側ゲート・バース・ピーク酸化膜、12はドレイン側インターポリ・バース・ピーク、13はソース側インターポリ・バース・ピーク、14は金属配線層である。

【0003】 第一ゲート酸化膜2、浮遊ゲート電極3、インターポリ绝缘膜4、制御ゲート電極5およびドレイン不純物拡散層6及びソース不純物拡散層7により、二層ゲート型の不揮発性メモリ半導体装置であるEEPROMの基本要素が構成される。

【0004】 金属配線14は、半導体装置としての電気配線を行うために設けられ、この金属配線層14が浮遊ゲート電極3や制御ゲート電極5と電気的に接触しないようにするために層間绝缘膜9が用いられる。

【0005】 また、層間绝缘膜9の平坦性を向上し金属配線層14の加工性をあげるために層間绝缘膜9にはボロンやリンなどの不純物が含まれている。この層間绝缘膜9のボロンやリンなどの不純物が半導体基板1や制御ゲート電極5及び浮遊ゲート電極3に入り込んで電気特性を変動させることを防ぐために、浮遊ゲート電極3及び制御ゲート電極5並びにドレイン不純物拡散層6及びソース不純物拡散層7と層間绝缘膜9との間に層間熱硬化膜8が配置される。

【0006】 層間熱硬化膜8は、その平坦性をさらに向上し金属配線層14の加工性を向上させるために熱処理によってリフローされる。この熱処理時の硬化剤による硬化で層間熱硬化膜8はさらに厚くなり、浮遊ゲート電極3の端部と半導体基板1の間にドレイン不純物拡散層6の側にドレイン側ゲート・バース・ピーク酸化膜10が形成されると共にソース不純物拡散層7の側にソース側ゲート・バース・ピーク酸化膜11が形成され、制御ゲート電極5と浮遊ゲート電極3の端部でドレイン不純物拡散層6側にドレイン側インターポリ・バース・ピーク12が形成されると共にソース不純物拡散層7側にソース側インターポリ・バース・ピーク13が形成される。

【0007】 次に、上述した構成の動作について説明する。図3に示すEEPROMにおいては電気的に情報を書き込みまたは消去する書き込み消去モードと情報を読み出す読み出しモードがある。また、書き込み消去モードには情報書き込みモードと電気的に書き込み消去モードがある。

【0008】 消去モードは、例えばソース不純物拡散層7からなるソース電極をフローティング状態にし、制御ゲート電極5を接地状態にしてドレイン不純物拡散層6からなるドレイン電極に例えば12V程度の高電圧を掛けることによりソース不純物拡散層7近傍の浮遊ゲート電極3端部にあるソース側ゲート・バース・ピーク酸化膜11を介してソース不純物拡散層7から浮遊ゲート電極3へ流れるファラデー・ノルドハイム・トンネル電流を用いて、浮遊ゲート電極3の電子を引きぬいて行われる。

【0009】 また、書き込みモードは、ソース不純物拡散層7からなるソース電極を接地状態にして、ドレイン不純物拡散層6からなるドレイン電極に例えば7V程度の電圧を掛けた状態で、浮遊ゲート電極3端部下のドレイン不純物拡散層6近傍で起こるアーランシュ現象によって発生したホットエレクトロンをドレイン側ゲート・バース・ピーク酸化膜10を介して半導体基板1から浮遊ゲート電極3に注入することにより行われる。

【0010】 読み出しモードでは、ソース不純物拡散層7からなるソース電極を接地状態にし、ドレイン不純物拡散層6からなるドレイン電極に例えば1V程度の電圧を掛けかつ制御ゲート電極5に例えば3V過程の電圧を掛け、ドレイン不純物拡散層6からソース不純物拡散層7に電流が流れかかれば「1」または「0」の状態即ち書き込み状態または読み出し状態を判断して読み出しを行う。浮遊ゲート電極3に電子があればドレイン不純物拡散層6からソース不純物拡散層7に電流が流れず書き込み状態が読み出され、逆に浮遊ゲート電極3から電子が引き抜かれておればドレイン不純物拡散層6からソース不純物拡散層7に電流が流れることにより消去状態が読み出される。

【0011】

【発明が解決しようとする課題】従来の半導体装置の製造方法では、上述したように、層間絶縁膜9の平坦性を向上すべく熱処理を行うと熱処理による酸化剤が層間絶縁膜9及び層間酸化膜8を貫通し半導体基板1と制御ゲート電極5の表面及び端部さらに浮遊ゲート電極3の端部を酸化する。

【0012】このため、層間熱酸化膜8は厚くなりソース側ゲート・バース・ピーク酸化膜10が厚くなる。ソース側ゲート・バース・ピーク酸化膜10が厚くなると、消去時のファウラー・ノルドハイム・トンネル電流が流れにくくなり消去効率が悪くなるという問題点があった。また、消去効率を良くすべく熱処理を低減すると、層間絶縁膜9の平坦化が妨げられて金属配線不良をまれくという問題点があつた。

【0013】この発明は上記のような問題点を解決するためになされたもので、層間絶縁膜が平坦化されて微細化されると共に消去効率の良い高い信頼性を有した半導体装置を得ることを目的とする。

【0014】また、層間絶縁膜の平坦化を防ぐことなく層間絶縁膜のリフロー時にソース側ゲート・バース・ピーク酸化膜とドレイン側ゲート・バース・ピーク酸化膜が酸化されることを防ぐことができる半導体装置の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】この発明に係る半導体装置は、ゲート電極とソース及びドレイン上を積う層間熱酸化膜を有する半導体装置において、上記層間熱酸化膜下にあって上記ゲート電極の側壁と上記ソース及び上記ドレインの上記ゲート電極側端部を酸化剤を通さない酸化防止用膜により覆ったものである。

【0016】また、この発明に係る半導体装置の製造方法においては、ゲート電極とソース及びドレイン上に酸化剤を通さない酸化防止用膜を形成した後にエッチングを行うことによって上記ゲート電極の側壁と上記ソース及び上記ドレインの上記ゲート電極側端部に上記酸化防止用膜の一部を残膜させ、その後上記ゲート電極と上記ソース及び上記ドレインと上記残膜させた酸化防止用膜上に層間熱酸化膜を形成する。

【0017】

【作用】この発明に係る半導体装置は、ゲート電極の側壁とソース及びドレインの上記ゲート電極側端部が酸化剤を通さない酸化防止用膜により覆われる。

【0018】また、この発明に係る半導体装置の製造方法は、ゲート電極とソース及びドレイン上に酸化剤を通さない酸化防止用膜を形成した後にエッチングを行うことによって上記ゲート電極の側壁と上記ソース及び上記ドレインの上記ゲート電極側端部に上記酸化防止用膜の一部を残膜させ、その後上記ゲート電極と上記ソース及び上記ドレインと上記残膜させた酸化防止用膜上に層間熱酸化膜を形成する。

び上記ドレインと上記残膜させた酸化防止用膜上に層間熱酸化膜を形成することにより、層間熱酸化膜上に形成される層間絶縁膜の平坦化のための熱処理時の酸化剤で上記ゲート電極の側壁と上記ソース及び上記ドレインの上記ゲート電極側端部が酸化されることを酸化防止用膜によつて防ぐ。

【0019】

【実施例】以下、この発明の諸実施例を図について説明する。

実施例1 図1は、この発明の実施例1を示す断面図である。この図1において、図3と同一部分については同一の符号を付し詳細な説明は省略する。また、図1において、15は浮遊ゲート電極3及び制御ゲート電極5の側壁とソース不純物拡散層7及びドレイン不純物拡散層6のゲート電極側端部に形成された酸化剤を通さない酸化防止用膜としての空化膜、16は浮遊ゲート電極3及び制御ゲート電極5の側壁と空化膜15との間の熱酸化膜である。なお、熱酸化膜16はなくても良い。

【0020】次に、この発明の半導体装置の製造方法を図2を参照しながら説明する。層間熱酸化膜8の形成前までは従来例の製造方法とまったく同様である。図2(a)に示す通り、層間熱酸化膜8形成前に所望の膜厚の空化膜15を成長させ直後に図2(b)に示す様に空化膜15を全面エッチングすることにより浮遊ゲート電極3及び制御ゲート電極5の側壁及び両側のドレイン不純物拡散層6及びソース不純物拡散層7の一部に自己離合的に空化膜15を残膜させて所望の酸化防止用空化膜15が形成される。空化膜15形成後は従来例の製造方法とまったく同様である。

【0021】上述したように、この実施例1では、浮遊ゲート電極3及び制御ゲート電極5の側壁及び両側のドレイン不純物拡散層6及びソース不純物拡散層7の浮遊ゲート電極3側端部を積うように層間熱酸化膜8下に空化膜15を設けたことによって、層間絶縁膜9のリフロー時に従来と同様な程度の熱処理を行つても熱処理による酸化剤が空化膜15を貫通しないので、半導体基板1、浮遊ゲート電極3のドレイン不純物拡散層6及びソース不純物拡散層7の端部及び制御ゲート電極5のドレイン不純物拡散層6及びソース不純物拡散層7の端部は酸化されない。その結果、ゲート・バースピーク酸化膜10及び11とインターポリ・バースピーク12及び13は厚くならないので消去効率が良いと共に、層間絶縁膜9のスムースな平坦化がなされるので金属配線層14が良好に形成される。

【0022】実施例2、上記実施例1においては浮遊ゲート電極3と制御ゲート電極5とでなる二層電極構造の半導体装置であるEEPROMを例として示したが、浮遊ゲート電極3をもたない单層構造の半導体装置でも同様の効果を期待することができる。

【0023】実施例3、上記実施例1では、酸化防止用

膜として塗化膜15を形成したが、多晶シリコン膜の
ような酸化剤を通さない他の膜であっても良い。

【0024】

【発明の効果】以上のように、この発明に係る半導体装置は、層間絶縁膜下にあってゲート電極の側壁ヒンジス及びドレインの上記ゲート電極側縫部を酸化剤を通さない酸化防止用膜により覆ったことによって、ソース側ゲート・バース・ピーク酸化膜とドレイン側ゲート・バース・ピーク酸化膜が厚くないので、除去効率が良く高い信頼性を有するという効果を実現する。

【0025】また、この発明に係る半導体装置の製造方法は、ゲート電極とソース及びドレイン上に酸化剤を通して酸化防止用膜を形成した後にエッチングを行うことによって上記ゲート電極の側壁と上記ソース及びドレインの上記ゲート電極側縫部に上記酸化防止用膜の一部を残設させ、その後上記ゲート電極と上記ソース及び上記ドレインと上記残設させた酸化防止用膜上に層間

絶縁膜を形成することによって、上記層間絶縁膜上に形成される層間絶縁膜のリフロー時にソース側ゲート・バース・ピーク酸化膜とドレイン側ゲート・バース・ピーク酸化膜が酸化されることを防ぐことができるという効果を実現する。

【図面の簡単な説明】

【図1】この発明の実施例1の半導体装置を示す断面図。

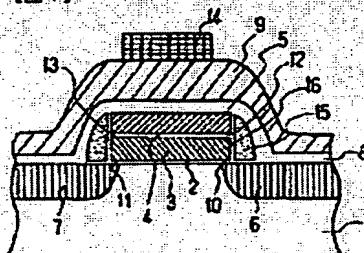
【図2】この発明の実施例1の製造工程を示す断面図である。

【図3】従来の半導体装置を示す断面図である。

【符号の説明】

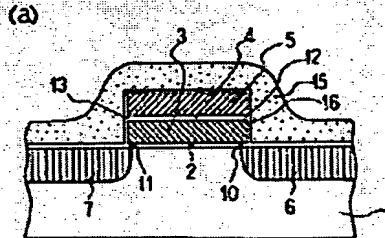
- 3 外延ゲート電極
- 5 刻印マスク
- 6 ドレイン不純物遮蔽層
- 7 ソース不純物遮蔽層
- 8 層間絶縁膜
- 15 空化膜

【図1】

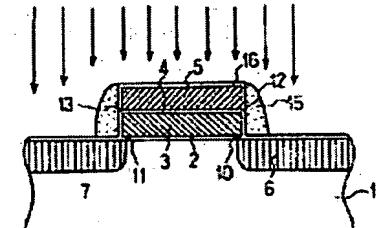


- 3 外延ゲート電極
- 5 刻印マスク
- 6 ドレイン不純物遮蔽層
- 7 ソース不純物遮蔽層
- 8 層間絶縁膜
- 15 空化膜

【図2】



(a)



(b)

